

日 本 国 特 許 庁
JAPAN PATENT OFFICE

15

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月12日

出 願 番 号

Application Number:

特願2002-204107

[ST.10/C]:

[J P 2 0 0 2 - 2 0 4 1 0 7]

出 願 人

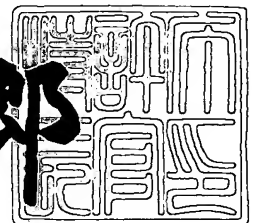
Applicant(s):

NECエレクトロニクス株式会社

2003年 6月19日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047964

【書類名】 特許願

【整理番号】 71110519

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/08

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 町村 広喜

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 南谷 淳一郎

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100103894

 【弁理士】

 【氏名又は名称】 家入 健

【手数料の表示】

 【予納台帳番号】 106760

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0118499

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャッシュメモリ及びその制御方法

【特許請求の範囲】

【請求項 1】

キャッシュデータの有効性の有無を示すバリッドビットを生成するセットアソシエイティブ方式のキャッシュメモリであって、

インデックスに対応して、キャッシュデータのアドレスのアドレスタグと当該キャッシュデータの有効性の有無を示すための第一のバリッドビットとをセットのブロックに格納する格納手段と、

前記第一のバリッドビットに対応した第二のバリッドビットを格納するとともに、該第二のバリッドビットをリセットするリセット手段とを備え、

前記バリッドビットが、第一のバリッドビットと第二のバリッドビットとに基づいて生成されるキャッシュメモリ。

【請求項 2】

前記バリッドビットは、第一のバリッドビット及び第二のバリッドビットがともに有効を示す場合には有効を示し、且つ第一のバリッドビット又は第二のバリッドビットのいずれかが無効を示す場合には無効を示すことを特徴とする請求項 1 記載のキャッシュメモリ。

【請求項 3】

前記リセット手段が各ウェイに共通であることを特徴とする請求項 1 記載のキャッシュメモリ。

【請求項 4】

前記リセット手段が第二のバリッドビットをリセットした場合には、格納手段に第一のバリッドビットを書き込む書込み手段を介して、前記第一のバリッドビットがクリアされることを特徴とする請求項 1 記載のキャッシュメモリ。

【請求項 5】

前記第一のバリッドビットは書込み手段を介して選択的にクリアされることを特徴とする請求項 4 記載のキャッシュメモリ。

【請求項 6】

キャッシュデータの有効性の有無を示すバリッドビットを生成するセットアソシエイティブ方式のキャッシュメモリのリセットを制御する制御方法であって、

インデックスに対応して、キャッシュデータのアドレスのアドレスタグと当該キャッシュデータの有効性の有無を示す第一のバリッドビットとをセットのブロックに格納するステップと、

前記インデックスに対応して第二のバリッドビットを格納するステップと、

前記第二のバリッドビットをリセットするステップと、

前記バリッドビットを、前記第一のバリッドビットと前記第二のバリッドビットに基づいて生成するステップとを備えた制御方法。

【請求項 7】

前記バリッドビットは、第一のバリッドビット及び第二のバリッドビットがともに有効を示す場合には有効を示し、且つ第一のバリッドビット又は第二のバリッドビットのいずれかが無効を示す場合には無効を示すことを特徴とする請求項 6 記載の制御方法。

【請求項 8】

第二のバリッドビットをリセットした場合には、アドレスタグ及び第一のバリッドビットを格納するとともに、前記第一のバリッドビットをクリアすることを特徴とする請求項 6 記載の制御方法。

【請求項 9】

前記第一のバリッドビットを選択的にクリアすることを特徴とする請求項 8 記載の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャッシュメモリ及びその制御方法に関し、特にセットアソシエイティブ方式のキャッシュメモリ及びその制御方法に関する。

【0002】

【従来の技術】

従来、キャッシュメモリは、特にプロセッサと大容量低速のメインメモリとの

間に配置され、頻繁にアクセスされる命令・データ等を格納してシステム全体のアクセスタイムを短縮させている。このようなシステム全体のアクセスタイムを短縮させるキャッシュメモリとして、データのヒット率を向上させるために各ブロックを配置可能な場所が複数存在するセットアソシエイティブ方式が多く用いられている。

【0003】

このセットアソシエイティブ方式のキャッシュメモリでは、メモリの格納領域を複数のセット毎に分割し、セット毎にデータのアドレスタグをタグメモリに格納する。そして、タグメモリから読み出したアドレスタグとアクセスアドレスとを比較し、比較結果からヒット／ミスヒット信号を生成し、データを格納したデータメモリにアクセスする。

【0004】

タグメモリの各ブロックには、通常、タグアドレスとともに、そのアドレスに対応するデータメモリの内容が有効か無効かを示すバリッドビット（有効ビット）が格納されている。タグメモリから読み出したタグアドレスとアクセスアドレスとを比較する際、バリッドビットを各セットの全てのウェイ毎に読み出す。そして、その比較結果が一致し、かつバリッドビットが“有効”を示しているウェイが存在した場合に、データメモリへのアクセスが可能となる。

【0005】

このようなセットアソシエイティブ方式のキャッシュメモリは、一般的にプロセッサの高機能化を行うために広く用いられている。そして、近年においては、セットアソシエイティブ方式のキャッシュメモリのフラッシュを1クロックで行うことが要求されている。

【0006】

このセットアソシエイティブ方式のキャッシュメモリを1クロックによりフラッシュを行う技術として、特開平2-90347号公報が開示されている。特開平2-90347号公報のセットアソシエイティブ方式のキャッシュメモリでは、タグアドレスとバリッドビットを格納するバリッドビットレジスタとを分離し、バリッドビットを記憶する記憶手段により、1サイクルでのオールクリア動作

が行われている。

【0007】

しかしながら、特開平2-90347号公報のキャッシュメモリにおいて n ウェイ k セット構成のセットアソシエイティブ方式とする場合には、バリッドビットレジスタの数が $n \times 2^k$ 個となり、キャッシュメモリの回路規模が増加する。そして、キャッシュメモリの回路規模の増加にともない、キャッシュメモリで消費される消費電力が増加する。特に、ウェイ数の増加にともない飛躍的に回路規模が増加し、それにともない消費電力が飛躍的に増加する。

【0008】

さらに、バリッドビットレジスタの数が多くなると、キャッシュメモリへの書込みやキャッシュメモリからの読込みを行う際、バリッドビットレジスタを選択するための制御回路が複雑となる。そのため、バリッドビットに書き込んだり読み出したりする時間が増大し、キャッシュメモリが低速化するという問題が発生する。

【0009】

【発明が解決しようとする課題】

このように、従来のキャッシュメモリでは、クリア動作を行うことができたとしても、キャッシュメモリ自体の回路規模が拡大するという問題点があった。

【0010】

本発明は、このような問題点を解決するためになされたもので、クリア動作を効率良く行うことができ、回路規模を縮小させることができるキャッシュメモリ及びその制御方法を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明にかかるキャッシュメモリは、キャッシュデータの有効性の有無を示すバリッドビットを生成するセットアソシエイティブ方式のキャッシュメモリであって、インデックスに対応して、キャッシュデータのアドレスのアドレスタグと当該キャッシュデータの有効性の有無を示すための第一のバリッドビットとをセットのブロックに格納する格納手段(例えば、本発明の実施の形態におけるタグ

メモリ 1)と、前記第一のバリッドビットに対応した第二のバリッドビットを格納するとともに、該第二のバリッドビットをリセットするリセット手段(例えば、本発明の実施の形態におけるバリッドビットレジスタ 2)とを備え、前記バリッドビットが、第一のバリッドビットと第二のバリッドビットとに基づいて生成されるものである。このような構成により、第一のバリッドビット及び第二のバリッドビットを介して、キャッシュメモリのクリア動作を効率良く行うことができる。

【 0 0 1 2 】

さらに、本発明にかかるキャッシュメモリは、前記バリッドビットは、第一のバリッドビット及び第二のバリッドビットがともに有効を示す場合には有効を示し、且つ第一のバリッドビット又は第二のバリッドビットのいずれかが無効を示す場合には無効を示すものである。これにより、第二のバリッドビットが無効を示すことにより、当該バリッドビットは無効を示すことができ、キャッシュメモリのクリア動作を効率良く行うことができる。

【 0 0 1 3 】

またさらに、本発明にかかるキャッシュメモリでは、前記リセット手段が各ウェイに共通である。これにより、リセット手段の数を低減し、キャッシュメモリの回路規模を縮小することができる。

【 0 0 1 4 】

そして、本発明にかかるキャッシュメモリは、前記リセット手段が第二のバリッドビットをリセットした場合には、第一の格納手段に第一のバリッドビットを書き込む書込み手段(例えば、本発明の実施の形態における論理ゲート OR 9 1 ~ 9 n、1 0 1 ~ 1 0 n、バリッドビット信号 3 2 0)を介して、前記第一のバリッドビットがクリアされるものである。これにより、キャッシュメモリの回路規模をより縮小しつつ、第一のバリッドビットのクリア動作を行うことができる。

【 0 0 1 5 】

また、本発明にかかるキャッシュメモリは、前記第一のバリッドビットは書込み手段を介して選択的にクリアされるものである。これにより、部分的に第一の

バリッドのクリア動作を簡便に行うことができる。

【0016】

本発明にかかる制御方法は、キャッシュデータの有効性の有無を示すバリッドビットを生成するセットアソシエティブ方式のキャッシュメモリのリセットを制御する制御方法であって、インデックスに対応して、キャッシュデータのアドレスのアドレスタグと当該キャッシュデータの有効性の有無を示すための第一のバリッドビットとをセットのブロックに格納するステップと、前記インデックスに対応して第二のバリッドビットを格納するステップと、前記第二のバリッドビットをリセットするステップと、前記バリッドビットを、前記第一のバリッドビットと前記第二のバリッドビットに基づいて生成するステップとを備えたものである。このような方法により、第一のバリッドビット及び第二のバリッドビットを介して、キャッシュメモリのクリア動作を効率良く行うことができる。

【0017】

さらに、本発明にかかる制御方法では、前記バリッドビットは、第一のバリッドビット及び第二のバリッドビットがともに有効を示す場合には有効を示し、且つ第一のバリッドビット又は第二のバリッドビットのいずれかが無効を示す場合には無効を示すものである。これにより、第二のバリッドビットが無効を示すことにより、当該バリッドビットは無効を示すことができ、キャッシュメモリのクリア動作を効率良く行うことができる。

【0018】

そして、本発明にかかる制御方法では、第二のバリッドビットをリセットした場合には、アドレスタグ及び第一のバリッドビットを格納するとともに、前記第一のバリッドビットをクリアするものである。これにより、キャッシュメモリの回路規模をより縮小しつつ、第一のバリッドビットのクリア動作を行うことができる。

【0019】

また、本発明にかかる制御方法では、前記第一のバリッドビットを選択的にクリアするものである。これにより、部分的に第一のバリッドのクリア動作を簡便に行うことができる。

【 0 0 2 0 】

【 発 明 の 実 施 の 形 態 】

以下、本発明の実施の形態について図を参照して説明する。

【 0 0 2 1 】

まず本発明の実施の形態に対する一比較例について説明し、次に本発明の実施の形態について説明する。なお、本発明の実施の形態においては、キャッシュメモリを、多ウェイ・セットアソシエイティブ方式のキャッシュメモリとして説明する。また、キャッシュメモリのウェイ数はいくつでも良く、以下では一般の数 n を用いて n ウェイと記載する。

【 0 0 2 2 】

まず、図 4 を用いて本発明の実施の形態(以下、本実施形態という)に対する一比較例について説明する。図 4 は、本実施形態に対する一比較例を示す概略模式図である。図 4 に示すように、タグメモリ 1 0 0 1 は、タグメモリ 1 0 1 1 ~ 1 0 1 n から構成される。タグメモリ 1 0 1 1 ~ 1 0 1 n に対して k ビットのインデックス信号 1 3 0 0、 m ビットのアドレスタグ信号 1 3 1 0 が入力される。アドレスタグ信号 1 3 1 0 がタグメモリ 1 0 1 1 ~ 1 0 1 n に入力されると、インデックス信号 1 3 0 0 に対応するインデックスのセットにアドレスタグが書き込まれる。

【 0 0 2 3 】

タグメモリ 1 0 1 1 ~ 1 0 1 n にアドレスタグを書き込む際、書込み信号 1 3 3 0 が入力される。書込み信号 1 3 3 0 は、書込み信号 1 3 3 1 ~ 1 3 3 n に分岐して各タグメモリ 1 0 1 1 ~ 1 0 1 n に入力される。このとき、書込み信号 1 3 3 1 ~ 1 3 3 n のうちで有効な論理値(例えば、論理値 1)を有する書込み信号が入力されたタグメモリはアクティブな状態となる。そして、アドレス信号 1 3 1 0 からのアドレスタグが、インデックス信号 1 3 0 0 に対応するセットのブロックに書き込まれる。また、書込み信号 1 3 3 1 ~ 1 3 3 n のうちで無効な論理値(例えば、論理値 0)を示す書込み信号が入力されるタグメモリにはアドレスタグが書き込まれない。

【 0 0 2 4 】

また、図4に示す本実施形態に対する一比較例においては、従来のダイレクトマップ方式やセットアソシエイティブ方式のキャッシュのように、タグメモリ1001にアドレスタグとともにバリッドビットが格納されることはない。バリッドビットは、アドレスタグとは別個にバリッドビットレジスタ10021~1002nに格納される。

【0025】

バリッドビットレジスタ10021~1002nのそれぞれは、デコーダ1031~103n、バリッドビットメモリ12ij (i、j=1、・・・、n)、エンコーダ1051~105nから構成される。バリッドビットレジスタ1002iはバリッドビットメモリ12i1~12ijを有する。バリッドビットメモリ12ijのそれぞれには、1ビットのバリッドビットが書き込まれる。

【0026】

バリッドビットレジスタ10021~1002nは、nビットのバリッドビット信号1320が入力され、 2^k 個のインデックスに基づいてタグメモリ1011~101nの各アドレスタグのバリッドビットが書き込まれる。このとき、バリッドビット信号1320は、バリッドビット信号1321から132nに分岐して各バリッドビットレジスタに入力される。また、バリッドビットレジスタ10021~1002nには、kビットのインデックス信号1300が入力される。このインデックス信号1300に基づいて、バリッドビットはバリッドビットメモリ1211~121jのいずれかに書き込まれる。

【0027】

また、タグメモリ1011~101nと同様に、バリッドビットレジスタ10021~1002nにバリッドビットを書き込む際、書込み信号1330が入力される。書込み信号1330は、書込み信号1331~133nに分岐して各デコーダ1031~103nに入力される。このとき、書込み信号1331~133nのうちで有効な論理値（例えば、論理値1）を有する書込み信号が入力されたバリッドビットメモリはアクティブな状態となる。

【0028】

デコーダ1031~103nにはインデックス信号1300が入力される。こ

のインデックス信号1300に基づいてデコーダ1031～103nはデコードを行う。それとともに、バリッドビットが格納されるバリッドビットメモリに有効な論理値を有する書込み信号が入力される。これにより、書込み信号を入力されたバリッドビットメモリはアクティブとなる。

【0029】

アクティブとなったバリッドビットメモリには、デコーダ1031～103nでのデコード結果に基づいて出力信号14ijのいずれかが選択され、選択された出力信号が入力されたバリッドビットメモリ12ijにはバリッドビットが格納される。また、書込み信号1331～133nのうちで無効な論理値（例えば、論理値0）を示す書込み信号が入力されるバリッドビットメモリにはバリッドビットが書き込まれない。

【0030】

アドレスタグを読み出す際、アドレスタグ1351～135nは、タグメモリ1011～101nにインデックス信号1300が入力されてタグメモリ1011～101nから読み出される。このとき、アドレスタグ1351～135nは、インデックス信号1300に対応するセットのブロックから読み出される。

【0031】

バリッドビットレジスタ10021～1002nからバリッドビット1361～136nを読み出す際、バリッドビットメモリ12i1～12ijから信号15i1～15ijがエンコーダ105iに出力される。エンコーダ105iにはインデックス信号1300が入力され、このインデックス信号1300に基づいて入力される信号15i1～15ijが選択される。

【0032】

選択された入力信号により、選択された入力信号に対応するバリッドビットメモリからバリッドビットが読み出される。エンコーダ1051～105nから読み出された出力信号1601～160nのそれぞれは、ラッチ1121～112nでラッチされ、クロックに同期するバリッドビット1361～136nとして出力される。

【0033】

このように出力されるアドレスタグ 1 3 5 1 ~ 1 3 5 n とバリッドビット 1 3 6 1 ~ 1 3 6 n は比較器に送られ、CPUからのアクセスアドレスとの比較に用いられる。このとき、バリッドビット 1 3 6 1 ~ 1 3 6 n はデータメモリに格納されるデータの有効性の有無を判断するのに用いられる。バリッドビット 1 3 6 1 ~ 1 3 6 n が有効を示す（例えば、論理値 1 を有する）場合にはデータメモリにデータが格納されていることとなる。またバリッドビット 1 3 6 1 ~ 1 3 6 n が無効を示す（例えば、論理値 0 を有する）場合にはデータメモリにデータが格納されないこととなる。

【 0 0 3 4 】

バリッドビット 1 3 6 1 ~ 1 3 6 n が有効を示す場合、アドレスタグ 1 3 5 1 ~ 1 3 5 n は、CPUがアクセスしようとするデータのアクセスアドレスと比較される。比較結果により、両者が一致する場合にはヒット信号をCPUに対して送信し、データメモリからデータの読み込みが行われる。バリッドビット 1 3 6 1 ~ 1 3 6 n が無効を示す場合には、ミスニット信号をCPUに対して送信し、メインメモリからキャッシュメモリに対してデータが読み出される。

【 0 0 3 5 】

図 4 に示す本実施形態に対する一比較例においては、タグメモリ 1 0 1 i から読み出されるアドレスタグ 1 3 5 i に対応するデータの有効性を判断する際、バリッドビット 1 3 6 i が用いられる。すなわち、例えば、比較器において、バリッドビット 1 3 6 i が有効を示す場合、アドレスタグ 1 3 5 i がアクセスアドレスとの比較に用いられる。そして、両者が一致する場合、アドレスタグ 1 3 5 i に対応するデータが読み出される。

【 0 0 3 6 】

また、本実施形態に対する一比較例においては、バリッドビットレジスタ 1 0 0 2 1 ~ 1 0 0 2 n に格納されるバリッドビットをクリアしてリセットを行う際には、各バリッドビットレジスタに対してフラッシュ信号 1 3 4 0 が入力され、バリッドビットレジスタ毎にリセットが行われる。このとき、バリッドビットメモリに格納されるバリッドビット全てが同時にクリアされる。

【 0 0 3 7 】

このように、本実施形態に対する一比較例では、アドレスタグ 1 3 5 1 ~ 1 3 5 n のそれぞれとバリッドビット 1 3 6 1 ~ 1 3 6 n のそれぞれとは一対一に対応し、それぞれの組（アドレスタグ 1 3 5 i とバリッドビット 1 3 6 i）に関して比較が行われる。そのため、図 4 に示す一比較例においては、n ウェイ・セットアソシエイティブ方式のキャッシュメモリでは、n 個のバリッドビットレジスタが設けられる。そのため、バリッドビット全てを同時にクリアできるといえども、キャッシュメモリの回路規模が拡大する。これにより、キャッシュメモリの消費電力が増加したり、キャッシュメモリが低速化したりする。

【 0 0 3 8 】

次に、本実施形態について説明する。本実施形態について説明するに際して、本実施形態の概要、詳細、動作について順に説明する。

【 0 0 3 9 】

図 1 を用いて本実施形態の概略について説明する。図 1 は、本実施形態におけるキャッシュメモリを用いたシステムの一構成例を示す概略模式図である。図 1 に示すように、このシステムは、CPU (中央処理装置) 4、タグメモリ 1、バリッドビットレジスタ 2、データメモリ 3 を備える。

【 0 0 4 0 】

CPU 4 は、命令部と制御部とを有する一般的な処理装置である。CPU 4 は、データの転送を行ったり、データ転送を制御したりする。

【 0 0 4 1 】

タグメモリ 1 は、本実施形態におけるキャッシュメモリが n ウェイ・セットアソシエイティブ方式のキャッシュメモリであるため、n ウェイの格納領域から構成される。タグメモリ 1 は、データの格納位置を示すアドレスタグを格納する。さらに、タグメモリ 1 には、当該アドレスに対応するデータの有効か無効かを示すバリッドビット (有効ビット) が格納される。

【 0 0 4 2 】

ここで、バリッドビットは、当該アドレスタグに対応するデータがデータメモリ 3 に格納されているか否かを示す。また以下では、このタグメモリ 1 に格納されるバリッドビットを第一バリッドビットとする。

【 0 0 4 3 】

バリッドビットレジスタ 2 は、タグメモリ 1 と同様に、当該アドレスに対応するデータの有効性の有無を示すバリッドビットを格納する(以下、バリッドビットレジスタ 2 に格納されるバリッドビットを第二バリッドビットとする)。バリッドビットレジスタ 2 は、後述するように、タグメモリ 1 の n ウェイの各セットに共通に接続される。

【 0 0 4 4 】

また、バリッドビットレジスタ 2 は、入力された信号をデコードするデコーダを有する。後述するように、このデコーダにアドレスのインデックスが入力されると、インデックスに基づいて所定のバリッドビット信号が選択されて第二バリッドビットとして格納される。

【 0 0 4 5 】

データメモリ 3 は、 n ウェイ・セットアソシエイティブ方式のキャッシュメモリでは、タグメモリ 1 の n ウェイに対応して n 種類の格納領域に分割されている。データメモリ 3 には、アドレスに従ってデータが格納される。このアドレスは、タグメモリ 1 に格納されるアドレスタグに対応している。そして、データメモリ 3 内でデータの格納位置はアドレスに基づいて管理されている。

【 0 0 4 6 】

データメモリ 3 においてデータが格納されているか否かは、第一バリッドビット及び第二バリッドビットにより管理される。後述するように、第一バリッドビットと第二バリッドビットとから、データの存在つまりデータの有効性の有無を示すバリッドビットが生成される。

【 0 0 4 7 】

図 1 に示すように、このシステムにおいては、CPU 4 から、タグメモリ 1 に対してアドレスの上位 m ビットをアドレスタグ信号として出力する。さらに、CPU 4 から、タグメモリ 1 及びデータメモリ 3 に対してアドレスの下位 k ビットをインデックス信号として出力する。また、このインデックス信号は、バリッドビットレジスタ 2 に対しても出力される。

【 0 0 4 8 】

タグメモリ 1 から CPU 4 に対してデータのヒット／ミスヒットを示すヒット／ミスヒット信号が出力される。それに応じて、タグメモリ 1 からデータメモリ 3 に対して読出し及び書込みを行うためにアドレスを指定するアドレスタグ信号が出力される。また、CPU 4 とデータメモリ 3 との間では、データバスを介してデータ転送が行われ、このアドレス信号によりデータの読出しや書込みが行われる。

【0049】

図 2 及び図 3 を用いて、本実施形態におけるキャッシュメモリの詳細について説明する。図 2 は、タグメモリ 1 及びバリッドビットレジスタ 2 を示す模式図である。図 3 は、キャッシュメモリの動作を示すタイミングチャートである。なお、図 2 では、 n ウェイ・セットアソシエイティブ方式のキャッシュメモリの本発明に係るタグメモリ 1 及びバリッドビットレジスタ 2 のみを示し、本発明とは直接関係しない詳細な構成は省略する。

【0050】

図 2 に示すように、タグメモリ 1 は、1 ウェイに対して 1 個として、 $11 \sim 1n$ の計 n 個のタグメモリ $11 \sim 1n$ から構成されている。また、タグメモリ $11 \sim 1n$ の各ブロックには、アドレスタグとアドレスタグに対応するデータが有効か無効かを示す第一バリッドビットとが格納される。アドレスタグは、データメモリ 3 に格納された各データのメインメモリ上でのアドレスの一部である。例えば、アドレスの上位 m ビットをアドレスタグとすることができる。

【0051】

タグメモリ $11 \sim 1n$ に格納されるアドレスタグ及び第一バリッドビットは、インデックスを基にして各ブロックに格納される。インデックスは、データメモリ 3 に格納された各データのメインメモリ上でのアドレスの一部である。例えば、アドレスの下位 k ビットをインデックスとすることができる。

【0052】

アドレスタグは、アドレスの上位 m ビットである場合には、 m ビットのアドレスタグ信号 310 としてタグメモリ $11 \sim 1n$ の一つに供給される。インデックスは、アドレスの下位 k ビットである場合には、 k ビットのインデックス信号 3

00としてタグメモリ11～1nの一つに供給される。

【0053】

タグメモリ11～1nからアドレスタグを読み出すとき、インデックス信号300がタグメモリ11～1nの一つに入力される。これにより、アドレスタグ及び第一バリッドビットが格納されたセットが定まり、このセットからアドレスタグが読み出されてmビットのアドレスタグ351～35nとして出力される。

【0054】

タグメモリ11～1nにアドレスタグを書き込むとき、インデックス信号300がタグメモリ11～1nの一つに入力される。これにより、アドレスタグ及び第一バリッドビットを書き込むセットが定まる。そして、書込み信号651～65nを入力され、書込み信号651～65nのうち有効を示すタグメモリに対するセットのブロックにアドレスタグ及び第一バリッドビットが格納される。

【0055】

このようにタグメモリ11～1nには、kビットのインデックスに基づいてmビットのアドレスタグが各ブロック格納される。そのため、タグメモリ11～1nの1ウェイには、 2^k 個のブロックにアドレスタグを格納することができ、nウェイでは $n \times 2^k$ 個のブロックのアドレスタグを格納することができる。さらに、後述するように、各アドレスタグには1ビットの第一バリッドビットが付加され、アドレスタグは第一バリッドビットとともに格納される。すなわち、アドレスタグは第一バリッドビットをあわせて(m+1)ビットの状態に格納されている。これにより、タグメモリ11～1nの各ウェイは、(m+1)ビット $\times 2^k$ ワード構成のメモリということになる。

【0056】

第一バリッドビットは、nビットのバリッドビット信号320がタグメモリ11～1nに供給されてタグメモリ11～1nの各ブロックに格納される。nビットのバリッドビット信号320は、論理ゲートAND101～10nにおいて入力信号621～62nとの論理積をとられて第一バリッドビット631～63nとなる。第一バリッドビット631～63nは、mビットのアドレスタグ信号310に付加された後、第一バリッドビットが付加されたアドレスタグ641～6

4 nとしてタグメモリ 1 1～1 nのそれぞれに入力される。

【0057】

図2に示すように、バリッドビットレジスタ2は、主要な構成として、第二バリッドビットを格納するバリッドビットメモリ2 1～2 j ($j = 2^k$ とする)、デコーダ3 0、エンコーダ5 0から構成される。

【0058】

バリッドビットメモリ2 1～2 jには、アドレスタグに対応するデータが有効か無効かを示す第二バリッドビットが格納される。バリッドビットメモリ2 1～2 jには、各タグメモリ1 1～1 nの各ウェイに共通なインデックスつまり各セットのインデックスに基づいて第二バリッドビットが格納され、インデックス信号3 0 0に示すインデックスに対応して格納される。また、バリッドビットメモリ2 1～2 jは、nウェイにおける各インデックスに対応するjセットのそれぞれに対応する。

【0059】

nビットのバリッドビット信号3 2 0は、論理ゲートOR 7 0で論理和をとられ、1ビットのバリッドビット信号3 2 1として出力される。さらに、インデックス信号3 0 0は、デコーダ3 0に入力されてデコードされ、そのデコード結果4 0 1～4 0 jによって論理ゲートAND 4 1～4 jで論理積をとられる。これにより、バリッドビット信号3 2 1の1ビットは、論理ゲートAND 4 1～4 jで選択されたバリッドビットメモリ2 1～2 jの1つに記憶される。

【0060】

バリッドビットメモリ2 1～2 jから出力される出力信号5 0 1～5 0 jは、エンコーダ5 0に入力され、エンコードされてレジスタ出力信号6 0 0として出力される。このとき、エンコーダ5 0にはインデックス信号3 0 0が入力され、インデックス信号3 0 0によって出力信号5 0 1～5 0 jの中から選択されたレジスタ出力信号6 0 0として出力される。その後、レジスタ出力信号6 0 0は、メモリからのデータの読み出しと同期をとるためラッチ1 2 0でラッチされ、第二バリッドビット6 7 0として出力される。

【0061】

この第二バリッドビット 6 7 0 は、論理ゲート AND 6 1 ~ 6 n において、タグメモリ 1 1 ~ 1 n の各タグメモリから読み出された第一バリッドビット 6 6 1 ~ 6 6 n との間で論理積をとられる。これにより、各ウェイに関してバリッドビット 3 6 1 ~ 3 6 n が生成される。このとき、第一バリッドビット 6 6 1 ~ 6 6 n は、エンコーダ 5 0 で選択されたレジスタ出力信号 6 0 0 に対応したインデックスに基づくセットのブロックから出力される。

【 0 0 6 2 】

これらのバリッドビット 3 6 1 ~ 3 6 n とともに、タグメモリ 1 1 ~ 1 n から読み出されたアドレスタグ 3 5 1 ~ 3 5 n は、図示しない比較器に送られてアドレス比較に用いられる。また、タグアドレス 3 5 1 ~ 3 5 n も第一バリッドビット 6 6 1 ~ 6 6 n と同様に、エンコーダ 5 0 で選択されたレジスタ出力信号 6 0 0 に対応したインデックスに基づくセットのブロックから出力される。

【 0 0 6 3 】

アドレス比較では、まずバリッドビット 3 6 1 ~ 3 6 n の中で有効なバリッドビットが選択される。そして、アドレスタグ 3 5 1 ~ 3 5 n の中で有効なバリッドビットを有するアドレスタグと、CPU がアクセス要求を行っているアクセスアドレスの上位 m ビットとを比較する。比較した結果、両アドレスが一致する場合、データメモリ 3 にアクセスするヒット判定信号を発生させ、ヒット判定信号をデータメモリ 3 に送信する。また、両アドレスが一致しない場合には、ミスヒット判定信号を発生させる。

【 0 0 6 4 】

本実施形態におけるバリッドビットレジスタ 2 は、バリッドビットメモリ 2 1 ~ 2 j をリセットするリセット手段を有するレジスタとして構成することができる。バリッドビットメモリ 2 1 ~ 2 j をクリアする際、フラッシュ信号 3 4 0 をバリッドビットレジスタ 2 に入力することによりリセットを行うことができる。このとき、フラッシュ信号 3 4 0 の 1 クロックにより、バリッドビットメモリ 2 1 ~ 2 j の全バリッドビットを同時にリセットすることが可能である。例えば、フラッシュ信号 3 4 0 として n ビットの 0 クランプ信号等を入力することにより、1 クロックで全ての第二バリッドビットをクリアすることができる。

【0065】

前述のように、バリッドビット361～36nは、第一のバリッドビット661と、第二バリッドビット670とから生成される。さらに、バリッドビットレジスタ2がバリッドビットメモリ21～2jの全バリッドビットを同時にリセットすることにより、フラッシュ後にはバリッドビットレジスタ2から生成される第二バリッドビット670は無効を示す(例えば、論理値0を持つ)。そのため、第二バリッドビット670が論理ゲートAND61～6nで論理積をとられると、第一バリッドビット661～66nの有効/無効に関わらず、バリッドビット361～36nは無効を示すこととなる。これにより、バリッドビットレジスタ2を1クロックでクリアすると、各ウェイのバリッドビット361～36nをクリアすることができる。また、リセット手段を有するバリッドビットレジスタ2の個数が単数であるため、バリッドビットレジスタ2の個数を従来のnウェイ・セットアソシエイティブ方式のキャッシュメモリに比べて1/nとすることができる。

【0066】

ここで、このフラッシュ後、バリッドビットレジスタ2の全バリッドビットが同時にクリアされるのに対し、タグメモリ11～1n上に格納されているバリッドはクリアされていない。そのため、フラッシュ以後にタグメモリ1にアドレスタグを書き込む際、書き込みを行うのに選択されたセットのブロックの第一バリッドビットは無効を示す論理を書き込む。一例として、所定の第一バリッドビットに論理値0を書き込む。

【0067】

フラッシュ以後の一動作例について説明する。なお、以下ではキャッシュメモリの書き込み信号330で1をアクティブな状態を示すものとして説明する。図2に示すように、書き込み信号330は、タグメモリ11～1nのnウェイに関して合わせた全ビットつまりnビットを論理ゲートNOR80で論理和をとられた後に反転され、信号610として出力する。この信号610は、論理ゲートOR91～9nのそれぞれにおいて、各ウェイへの書き込み信号331～33nとレジスタ出力信号600とから論理和をとられ、出力信号621～62nとして出力

される。そして、これらの出力信号621～62nは、論理ゲートAND101～10nにおいて、バリッドビット信号320との間で論理積をとられ、第一バリッドビット631～63nとして出力される。

【0068】

バリッドビットレジスタ2のバリッドビットメモリ21～2j全てをフラッシュ信号340により同時にクリアすると、フラッシュによってバリッドビットレジスタ2からのレジスタ出力信号600がアクティブでない0となる。さらに、インデックス信号300に対応するセットにアドレスタグを書き込むため、書込み信号331～33nの全ては0でなく、書込み信号331から33nの中に1となるものが存在する。

【0069】

このようにレジスタ出力信号600が0であり、且つ書込み信号331～33nの中のどれかが1であるとき、書込み信号331～33nの中で1である書込み信号は、その書込み信号から出力される第一バリッドビット631～63nのいずれかを1としてタグメモリに入力され、第一バリッドビットを1とする。書込み信号331～33nの中で0である書込み信号は、第一バリッドビット631～63nを0としてタグメモリ11～1nに入力され、バリッドビットが0となる。

【0070】

タグメモリ11～1nの各ウェイに対応した書込み信号331～33nは、論理ゲートOR111～11nにおいて、出力信号621～62nの反転信号との間で論理和をとられて書込み信号651～65nとして出力される。出力された書込み信号651～65nは、各セットのブロックにアドレスタグや第一バリッドビットを書き込むことができる場合に有効を示す。そのため、書込み信号651～65nが0の時に書込み信号を有効にする(例えば、書込み信号として1を書き込む)。

【0071】

このように、バリッドビットレジスタ2がリセット手段を有することにより、バリッドビットメモリ21～2jに格納される第二バリッドビットの全てを同時

に1クロックでクリアすることができる。これにより、各ウェイのバリッドビット361～36nを1クロックでクリアすることが可能となる。

【0072】

さらに、第二バリッドビットの全てを同時にクリアした後、書込み信号330によりタグメモリ1にアドレスタグを書き込むとともに所望の第一バリッドビットを0として書き込むことができる。これにより、バリッドビットレジスタ2のフラッシュ後、第二バリッドビット全てをクリアするとともに、アドレスタグを書き込む第一バリッドビット以外の全ての第一バリッドビットを同時にクリアすることができる。

【0073】

また、書込み信号330によりタグメモリ1にアドレスタグを書き込むとともに第一バリッドビットをクリアすることができるため、新たにタグメモリ1のバリッドビットをクリアする手段を設けることなく、第一バリッドビットをクリアすることができる。そのため、図4に示す比較例と比べ、キャッシュメモリの回路規模を縮小することができる。

【0074】

図2及び図3を用いて、キャッシュメモリからアドレスタグを読み出す動作、キャッシュメモリにアドレスタグを書き込む動作について順に説明する。ここで、図3において、時刻 t_1 をクロック信号が立ち上がる時刻(0から1へと変化する時刻)としている。

【0075】

図3(a)は、キャッシュメモリからアドレスタグを読み出す動作を示すタイミングチャートである。アドレスタグをタグメモリ11～1nから読み出す際、タグメモリ11～1nの一つにkビットのインデックス信号300が入力される(時刻 t_2)。この入力されたインデックス信号300に対応するインデックスをタグメモリ11～1n内のアドレスとして、そのタグメモリ11～1nの各セットのブロックからmビットのアドレスタグ351～35nが読み出される。このとき、タグメモリ11～1nの各ブロックからは、アドレスタグ351～35nとともに、1ビットの第一バリッドビット661～66nがクロックに同期し

て出力される。

【 0 0 7 6 】

バリッドビットレジスタ 2 では、インデックス信号 3 0 0 を入力され、エンコーダ 5 0 では 1 つのレジスタ出力信号 6 0 0 が選択されてバリッドビットレジスタ 2 から出力される（時刻 t_3 ）。レジスタ出力信号 6 0 0 は、ラッチ 1 2 0 においてラッチされ、クロックに同期する第二バリッドビット 6 7 0 として出力される（時刻 t_4 ）。このとき、クロックを介して、第二バリッドビット 6 7 0 は、タグメモリ 1 1 ~ 1 n からの第一バリッドビット 6 6 1 ~ 6 6 n の出力と同期する。その後、この第二バリッドビット 6 7 0 は、タグメモリ 1 1 ~ 1 n から出力された第一バリッドビット 6 6 1 ~ 6 6 n の各々と、論理ゲート AND 6 1 ~ 6 n で論理積をとられ、各ウェイからバリッドビット 3 6 1 ~ 3 6 n として出力される（時刻 t_5 ）。

【 0 0 7 7 】

前述のように、アドレスタグ 3 5 1 ~ 3 5 n 及びバリッドビット 3 6 1 ~ 3 6 n は、比較器に送られてアドレス比較に用いられる。

【 0 0 7 8 】

図 3 (b) は、キャッシュメモリにアドレスタグを書き込む動作を示すタイミングチャートである。アドレスタグをタグメモリ 1 1 ~ 1 n に書き込む際、n ビットの書込み信号 3 3 0 が入力される。入力された書込み信号 3 3 0 は、タグメモリ 1 1 ~ 1 n のうちの書き込むウェイに対応する書込み信号 3 3 1 ~ 3 3 n が選択され、書込み信号 3 3 1 ~ 3 3 n のうちの 1 ビットがアクティブになる。すなわち、書込み信号 3 3 1 ~ 3 3 n のうちの 1 ビットが有効な論理値 1 を有し、それ以外の書込み信号 3 3 1 ~ 3 3 n の全てが無効な論理値 0 を有する。

【 0 0 7 9 】

バリッドビットレジスタ 2 のエンコーダ 5 0 に k ビットのインデックス信号 3 0 0 が入力される（時刻 t_2 ）。このインデックス信号 3 0 0 に基づいて、バリッドビットメモリ 2 1 ~ 2 j から出力される出力信号 5 0 1 ~ 5 0 j のうちのひとつが選択されてレジスタ出力信号 6 0 0 として出力される（時刻 t_3 ）。

【 0 0 8 0 】

また、時刻 t_2 において、 m ビットのアドレスタグ信号 310 が、タグメモリ 11～1 n への入力データとして入力される。この m ビットのアドレスタグに第一バリッドビットに該当する 1 ビットが付加され、第一バリッドビットが付加されたアドレスタグ 641～64 n としてタグメモリ 11～1 n に入力される。

【0081】

レジスタ出力信号 600 は、論理ゲート OR 91～9 n において、書込み信号 331～33 n との間で論理和をとられ、出力信号 621～62 n として出力される。このとき、出力信号 621～62 n のうち、書込み信号 331～33 n でアクティブなものから出力される信号は、有効な論理値 1 を有し、アクティブでないものから出力されるものは無効な論理値 0 を有する。

【0082】

出力信号 621～62 n は、論理ゲート AND 101～10 n で論理積をとられ、タグメモリ 11～1 n に入力される第一バリッドビット 631～63 n が生成される。このとき、書込み信号 330 で選択されたタグメモリ 11～1 n のいずれか一つに対する第一バリッドビットは、有効を示し、論理値 1 を有する。書込み信号 330 で選択されなかったタグメモリ 11～1 n に対する他の第一バリッドビットは無効を示す(例えば、論理値 0 を有する)ことになる。

【0083】

タグメモリ 11～1 n の各ウェイに対応した書込み信号 331～33 n は、論理ゲート OR 111～11 n において、出力信号 621～62 n の反転信号との間で論理和をとられて書込み信号 651～65 n として出力される(時刻 t_6)。出力された書込み信号 651～65 n は、各ウェイにアドレスタグやバリッドビットを書き込むことができる場合に有効を示す(例えば、論理値 1 を有する)。書込み信号 651～65 n が有効となるウェイが定まることにより、書き込むウェイが選択され、 $(m+1)$ ビットの第一バリッドビットが付加されたアドレスタグ 641～64 n が書き込まれる。

【0084】

なお、インデックス信号 300 は、タグメモリ 11～1 n の一つに入力される。これにより、第一バリッドビットが付加されたアドレスタグ 641～64 n が

書き込まれるセットが定まり、書込み信号 330 が書込み動作を行わせるウェイに対応するセットのブロックに第一バリッドビットが付加されたアドレスタグ 641～64n が書き込まれる。

【0085】

また、選択されたタグメモリにアドレスタグ及び第一バリッドビットを書き込む際、バリッドビットレジスタ 2 に第二バリッドビットがクロックに同期して書き込まれる。バリッドビットレジスタ 2 では、n ビットのインデックス信号 300 をデコードした結果 $j = 2^k$ 個のバリッドビットメモリ 21～2j から 1 つバリッドビットメモリが選択され、選択されたバリッドビットメモリに 1 ビットのバリッドビット信号 321 がクロックに同期して格納される。

【0086】

前述のように、バリッドビットレジスタ 2 のフラッシュにより、第二バリッドビットのクリアを行うことができる。フラッシュ信号 340 がアクティブになったとき、全バリッドビットレジスタは 1 クロックでリセットされ、無効を示す論理値 0 を記憶する。そして、タグメモリ 11～1n に格納される第一バリッドビットは、アドレスを書き込まれるセットを除いてクリアされ、無効を示す論理値 0 を書き込まれる。この書込みは、第一バリッドビットが付加されたアドレスタグ 641～64n がタグメモリ 11～1n に入力され、さらに書込み信号 651～65n が入力されて書込みが始まったのに遅れて行われる（時刻 t_7 ）。

【0087】

バリッドビットレジスタ 2 のフラッシュ以降、タグメモリ 11～1n から出力される第一バリッドビット 661～66n が有効を示す論理値 1 の場合であっても、第二バリッドビット 670 が無効を示す論理値 0 を記憶していると、バリッドビット 361～35n が無効の論理値 0 となる。すなわち、第一バリッドビットが有効／無効に関わらず、第二バリッドビット 670 が無効を示す場合には、各ウェイのバリッドビット 361～36n は無効（論理値 0）を示す。

【0088】

フラッシュ以降、タグメモリ 11～1n への書込みを行う際、第二バリッドビットの全てが無効（論理値 0）であるため、バリッドビットレジスタ 2 からのレ

ジスタ出力信号600が0となる。そして、タグメモリ11～1nに書き込むとき、nビットの書込み信号330の全ては0ではなく、選択されたウェイでは書込み信号331～33nが有効（論理値1）となる。そのため、論理ゲートOR91～9nから出力される出力信号621～62nが論理値0となることにより、論理ゲートAND101～10nで論理積をとられて出力された第一バリッドビット631～63nは無効を示す（論理値が0となる）。

【0089】

そして、論理ゲートOR111～11nで論理和をとられて出力されるメモリへの書込み信号651～65nが有効を示す（論理値が1になる）ことにより、クロックに同期して第一バリッドビットに論理値0が書き込まれる。そのため、フラッシュ以降にアドレスタグを書き込む際、バリッドビットレジスタに論理値1が書き込まれていた場合であっても、選択されなかったウェイ（非選択ウェイ）のタグメモリ1上の第一バリッドビットを0に書き換えることができる。これにより、タグメモリ1上の第一バリッドビットをクリアすることができる。

【0090】

以上のように、本実施形態におけるキャッシュメモリでは、複数のタグメモリ11～1nに対して、単数のバリッドビットレジスタ2を共通に接続する。そして、アドレスタグの読み出しや書込み、バリッドビット361～36nの生成を行う。このとき、バリッドビット361～36nは、第一バリッドビット661～66nと第二バリッドビット670とから生成される。

【0091】

さらに、バリッドビットレジスタ2がリセット手段を有するため、バリッドビットメモリ21～2jに格納される第二バリッドビットの全てを同時に1クロックでクリアすることができる。これにより、第一バリッドビット661～66nと第二バリッドビット670から生成されるバリッドビット361～36nを全て同時に1クロックで効率良くクリアすることができる。

【0092】

このようなnウェイ・セットアソシエイティブ方式のキャッシュメモリでは、従来のnウェイ・セットアソシエイティブ方式のキャッシュメモリに比べて1／

nとすることができる。そのため、バリッドビットレジスタ2を一つ設けることにより、キャッシュメモリの回路規模を縮小することができる。

【0093】

そして、タグメモリ1にアドレスタグを書き込むとともに書込み信号330によりタグメモリ1に格納される第一バリッドビットをクリアすることができる。そのため、新たに第一バリッドビットをクリアする手段を設けることなく、第一バリッドビットをクリアすることができる。そのため、キャッシュメモリの回路規模をより一層縮小することができる。

【0094】

このようにキャッシュメモリの回路規模を縮小させることができるため、消費電力の低減を行うことができる。また、キャッシュ回路の規模を縮小させ、複雑化するのを回避することができるため、キャッシュメモリの高速化を実現することができる。

【0095】

そして、バリッドビットレジスタ2をフラッシュして第二バリッドビットの全てを同時にクリアした後、アドレスタグを書き込む際に第一バリッドビット以外の全てのバリッドビットを同時にクリアすることができる。そのため、バリッドビットを効率良くクリアすることができ、バリッドビットのクリア時における動作時間の短縮が可能となる。また、バリッドビットを効率良くクリアし、クリア動作時間を短縮することができるため、高速に動作を行うキャッシュメモリを得ることができる。

【0096】

なお、本発明の実施の形態においては、CPUとメインメモリとの間に設けられるキャッシュメモリについて説明したが、本発明は、メインメモリと補助記憶装置との間に設けられるディスクキャッシュにも適応することができる。ディスクキャッシュに適応する場合であっても、ディスクキャッシュの回路規模の縮小、消費電力の低減、ディスクキャッシュの高速化が可能となる。さらに、キャッシュメモリとディスクキャッシュの双方に用いることにより、コンピュータ全体の消費電力の低減、高速化を実現することができる。

【 0 0 9 7 】

【発明の効果】

本発明によれば、クリア動作を効率良く行うことができ、回路規模を縮小させることができるキャッシュメモリ及びその制御方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態におけるキャッシュメモリを用いたシステムの一構成例を示す概略模式図である。

【図 2】

本発明の実施の形態におけるキャッシュメモリの要部の一構成例を示す模式図である。

【図 3】

本発明の実施の形態におけるキャッシュメモリの動作を示すタイミングチャートである。

【図 4】

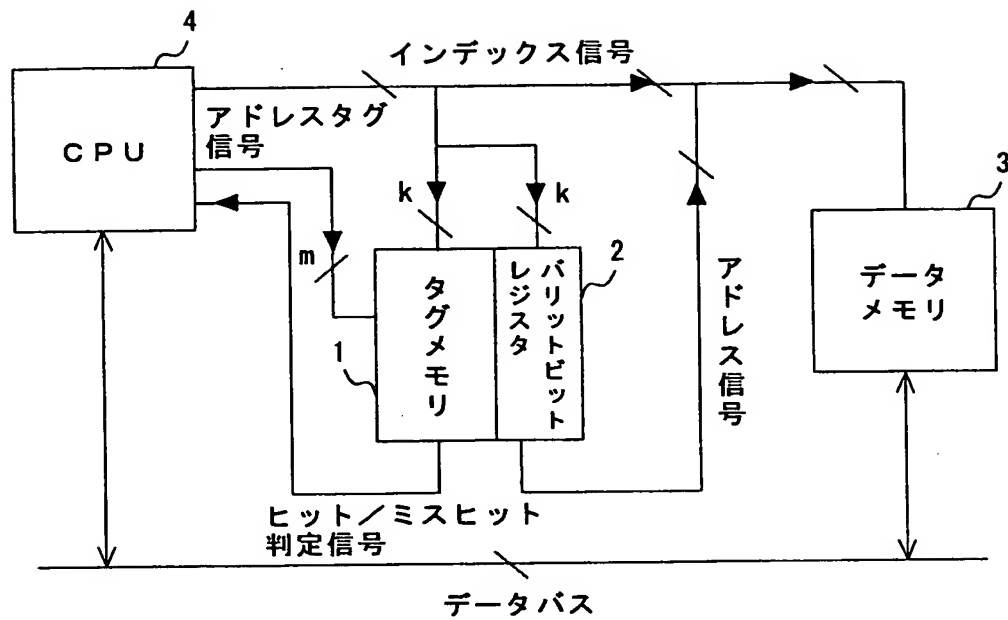
本発明の実施の形態におけるキャッシュメモリに対する一比較例を示す模式図である。

【符号の説明】

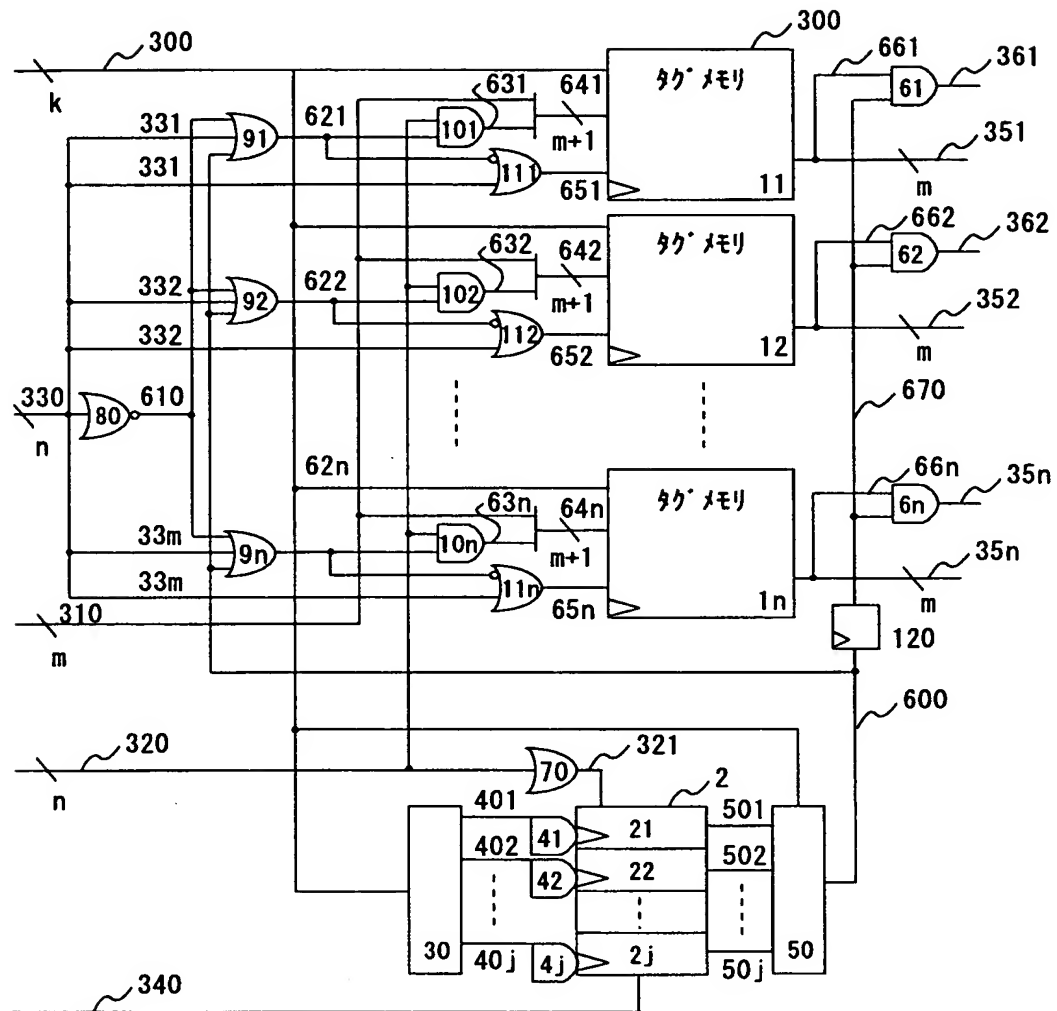
1 タグメモリ、 2 バリッドビットレジスタ、 3 データメモリ、 4 CPU、 30 デコーダ、 50 エンコーダ、 1001 タグメモリ、 10021, ..., 1002n バリッドビットレジスタ、 1031, ..., 103n デコーダ、 1051, ..., 105n エンコーダ

【書類名】 図面

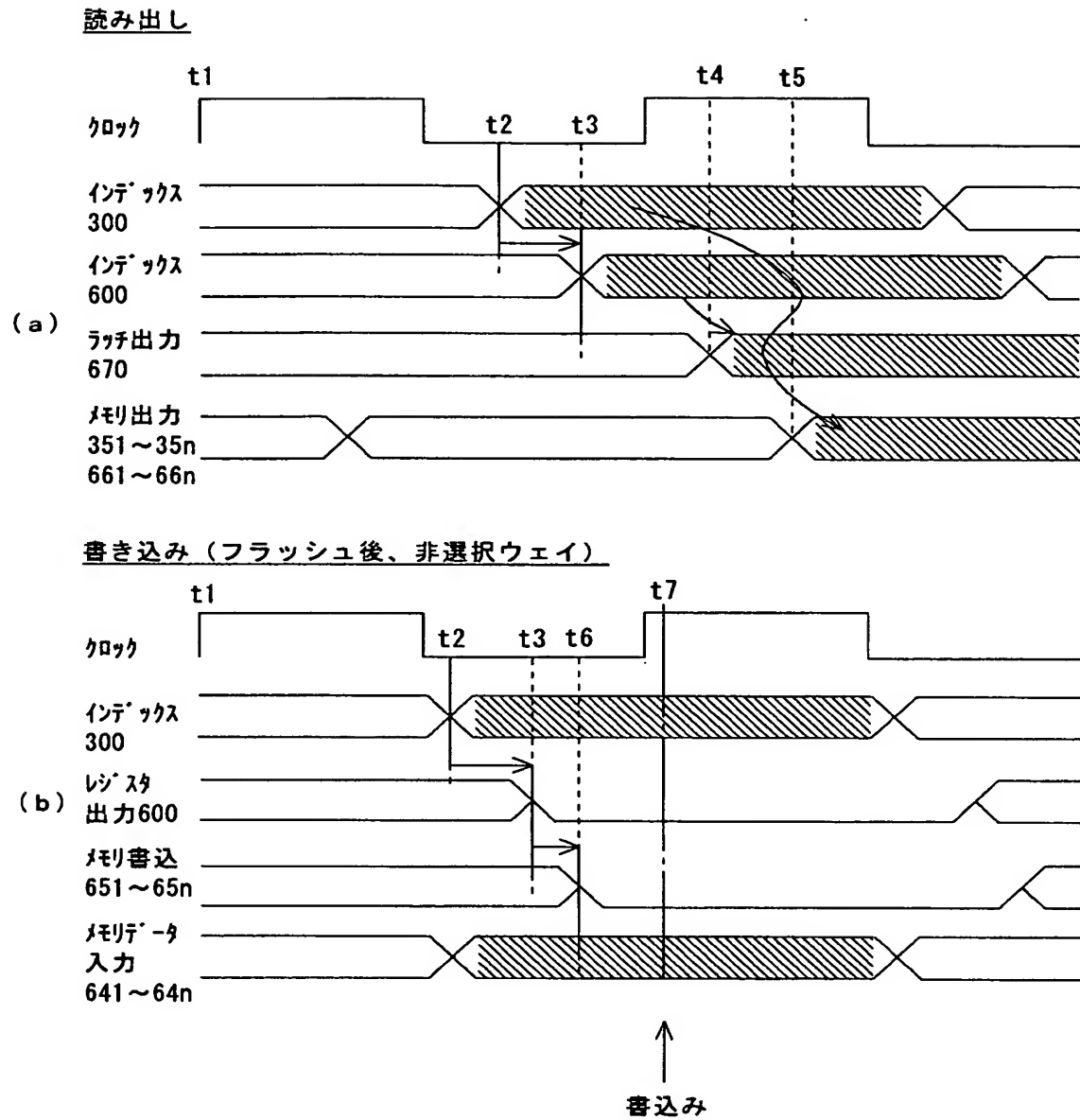
【図 1】



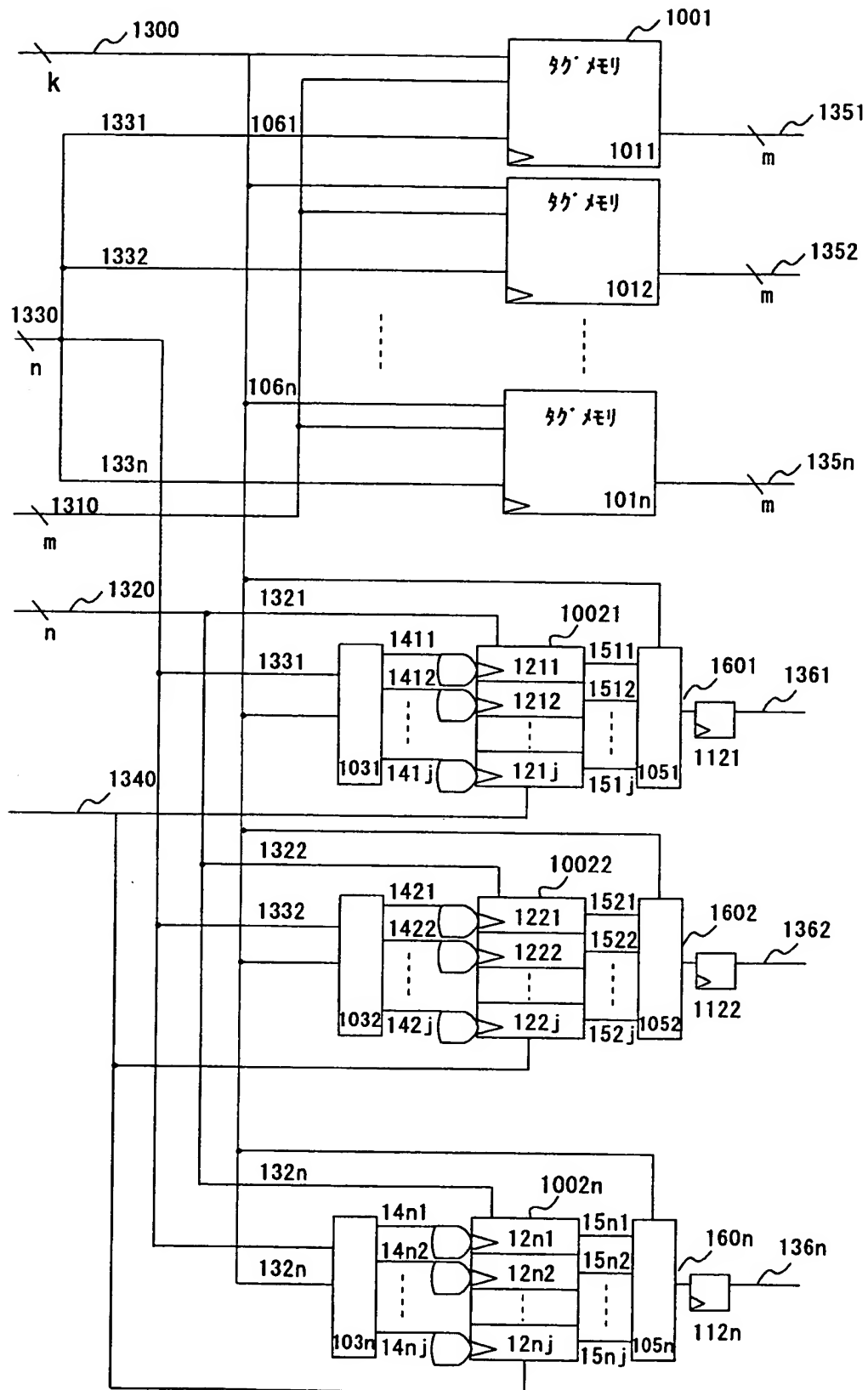
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】

クリア動作を効率良く行うことができ、回路規模を縮小させることができるキャッシュメモリ及びその制御方法を提供することを目的とする。

【解決手段】

本発明にかかるキャッシュメモリは、キャッシュデータの有効性の有無を示すバリッドビットを生成するセットアソシエイティブ方式のキャッシュメモリであって、インデックスに対応して、キャッシュデータのアドレスのアドレスタグとキャッシュデータの有効性の有無を示す第一のバリッドビットとをセットのブロックに格納するタグメモリ 1 と、第一のバリッドビットに対応した第二のバリッドビットを格納するとともに、第二のバリッドビットをリセットするバリッドビットレジスタ 2 とを備え、バリッドビットが、第一のバリッドビットと第二のバリッドビットとに基づいて生成されるものである。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-204107
受付番号	50201025017
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 7月15日

<認定情報・付加情報>

【提出日】	平成14年 7月12日
-------	-------------

【書類名】 出願人名義変更届（一般承継）

【提出日】 平成15年 1月14日

【あて先】 特許庁長官殿

【事件の表示】

 【出願番号】 特願2002-204107

【承継人】

 【識別番号】 302062931

 【氏名又は名称】 N E Cエレクトロニクス株式会社

【承継人代理人】

 【識別番号】 100103894

 【弁理士】

 【氏名又は名称】 家入 健

【提出物件の目録】

 【物件名】 承継人であることを証明する登記簿謄本 1

 【援用の表示】 特願 2 0 0 2 - 3 1 8 4 8 8

 【物件名】 承継人であることを証明する承継証明書 1

 【援用の表示】 特願 2 0 0 2 - 3 1 8 4 8 8

 【包括委任状番号】 0218232

【ブルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地

氏 名 NECエレクトロニクス株式会社